

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-281952

(43) 公開日 平成7年(1995)10月27日

(51) Int.Cl.⁶

G 0 6 F 12/06

G 1 1 C 16/06

識別記号

5 2 5 B 7608-5B

庁内整理番号

F I

技術表示箇所

G 1 1 C 17/ 00

3 0 9 Z

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平6-73452

(22) 出願日 平成6年(1994)4月12日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 山田 孝

伊丹市瑞原4丁目1番地 三菱電機株式会

社北伊丹製作所内

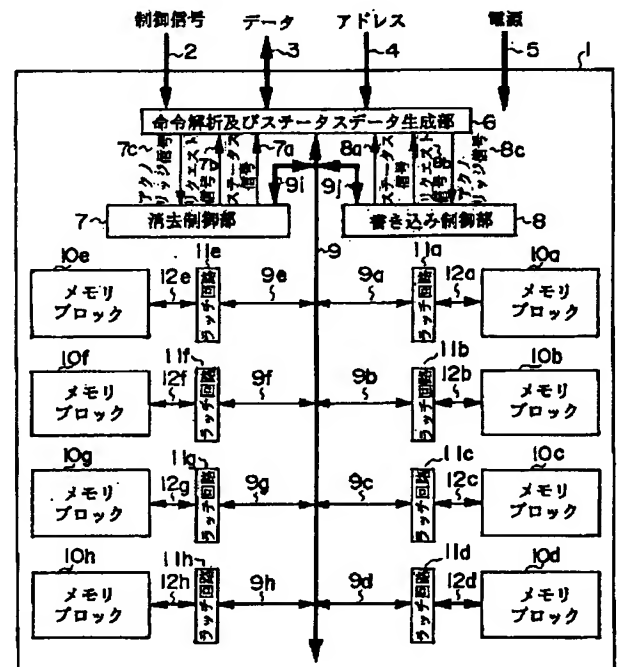
(74) 代理人 弁理士 曾我 道照 (外6名)

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【構成】 複数のメモリブロックに分けた電気的一括消去電氣的書き込みが可能な不揮発性半導体記憶装置において、消去と書き込みと読み出しのうち2機能以上を同時に、別々のメモリブロックにおいて実行できるように、命令解析及びステータスデータ生成部6と前記メモリブロック10a~10hを接続するバス9、12に、前記メモリブロックの動作状態を保持するラッチ回路11a~11hを挿入した。

【効果】 製造側では、メモリICの良品/不良品を判別するテスト時間の短縮が可能である。ユーザ側では、大容量メモリICを使う場合、実装チップ数が少くても、ライト、イレース、リードの同時動作可能なシステムを容易に作ることができる。また、同時動作可能ならシステム全体のスピード(スループット)が向上する。



1

【特許請求の範囲】

【請求項 1】 複数のメモリブロックに分けた電氣的一括消去電氣的書き込みが可能な不揮発性半導体記憶装置において、消去と書き込みと読み出しのうち 2 機能以上を同時に、別々のメモリブロックにおいて実行する消去書き込み読み出し制御部を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記消去書き込み読み出し制御部と前記メモリブロックを接続する信号線に挿入され、前記メモリブロックの動作状態を保持するラッチ回路をさらに備えたことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記消去書き込み読み出し制御部と前記メモリブロックを接続する複数の信号線に挿入され、前記複数の信号線を選択するセレクト回路をさらに備えたことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、EEPROMなどの不揮発性半導体記憶装置の構造に関するものである。

【0002】

【従来の技術】 複数のメモリ IC を実装して利用する使い方では、各メモリ IC は消去、書き込み、読み出しの 1 機能のみ動作可能であっても、システム全体では、複数の機能が同時に動作可能である。同時に動作させるのは、消去及び書き込み動作が読み出し動作に比べ 5 桁～2 桁も遅いためである。同時に動作させることにより見かけ上速く動作しているように扱うことができる。ところが、メモリ IC が大容量化するに従い実装メモリ IC 数が減り上記の使い方が行いにくくなった。

【0003】 従来の不揮発性半導体記憶装置の構成について図 3 を参照しながら説明する。図 3 は、従来の不揮発性半導体記憶装置の構成を示すブロック図である。

【0004】 図 3 において、1 は IC（不揮発性半導体記憶装置）の外わく、2 は外部から入力される制御信号、3 は同じくデータ、4 は同じくアドレス、5 は同じく電源である。また、6 は命令解析及びステータスデータ生成部であり、IC 全体の制御を行う。7 は消去制御部、8 は書き込み制御部である。7 a は消去制御部 7 が動作中であることを命令解析及びステータスデータ生成部 6 へ伝えるステータス信号、8 a は書き込み制御部 8 が動作中であることを命令解析及びステータスデータ生成部 6 へ伝えるステータス信号である。

【0005】 また、図 3 において、9（9 a～9 h）は命令解析及びステータスデータ生成部 6 からのアドレス信号、データ信号、制御信号を運ぶバス、9 i はバス 9 と消去制御部 7 をつなぐバス、9 j はバス 9 と書き込み制御部 8 をつなぐバスである。さらに、10 a～10 h はメモリブロックであり、内部はロウデコーダ、カラム

2

デコーダ、センスアンプ及びメモリセルアレイから成る。

【0006】 つぎに、従来の不揮発性半導体記憶装置の動作について説明する。まず、読み出し動作について説明する。

【0007】 制御信号 2 及びアドレス 4 からなる読み出し信号が外部から命令解析及びステータスデータ生成部 6 へ与えられると、バス 9（9 a～9 h）を通してメモリブロック 10 a～10 h を動かす。そして、メモリブロック 10 a～10 h からのデータをバス 9（9 a～9 h）を通して命令解析及びステータスデータ生成部 6 が受け取る。命令解析及びステータスデータ生成部 6 はデータ 3 を外部へ送り読み出しが完了する。読み出すとき、どのメモリブロック 10 a～10 h も動作していないので、動作中かどうかの確認は不要である。

【0008】 次に、書き込み動作について説明する。

【0009】 制御信号 2、データ 3 及びアドレス 4 からなる書き込み信号及び書き込みデータが外部から命令解析及びステータスデータ生成部 6 へ与えられると、命令解析及びステータスデータ生成部 6 はバス 9 j を通じて書き込み制御部 8 へ動作信号を送り、ステータス信号 8 a が一度オンになり再びオフになるまで命令解析及びステータスデータ生成部 6 は動作を停止する。

【0010】 書き込み制御部 8 はステータス信号 8 a をオンにして、動作中であることを命令解析及びステータスデータ生成部 6 へ伝え、バス 9（9 a～9 h、9 j）を通し、メモリブロック 10 a～10 h へ信号を送り、メモリブロックを書き込み状態にする。この状態でメモリブロック中のメモリセルは電圧を与え続けられる。書き込み制御部 8 は、一定時間後、この状態をオフにしてベリファイ動作をする。可（OK）なら書き込み完了となりステータス信号 8 a をオフにして完了する。不可（NG）なら再び書き込みを行って、ベリファイを行う。この動作を規定回数実施し、不可（NG）の場合は命令解析及びステータスデータ生成部 6 から外部へライトエラーのステータスを返す。

【0011】 次に、消去動作について説明する。

【0012】 基本的に前記書き込み動作と内容は同じである。すなわち、制御信号 2、データ 3 及びアドレス 4 からなる消去信号及び消去データが外部から命令解析及びステータスデータ生成部 6 へ与えられると、命令解析及びステータスデータ生成部 6 はバス 9 i を通じて消去制御部 7 へ動作信号を送り、ステータス信号 7 a が一度オンになり再びオフになるまで命令解析及びステータスデータ生成部 6 は動作を停止する。

【0013】 消去制御部 7 はステータス信号 7 a をオンにして、動作中であることを命令解析及びステータスデータ生成部 6 へ伝え、バス 9（9 a～9 h、9 i）を通し、メモリブロック 10 a～10 h へ信号を送り、メモリブロックを消去状態にする。この状態でメモリブロッ

3

ク中のメモリセルは電圧を与え続けられる。消去制御部 7 は、一定時間後、この状態をオフにしてペリファイ動作をする。可 (OK) なら消去完了となりステータス信号 7 a をオフにして完了する。不可 (NG) なら再び消去を行って、ペリファイを行う。この動作を規定回数実施し、不可 (NG) の場合は命令解析及びステータスデータ生成部 6 から外部ヘイレースエラーのステータスを返す。

【0014】このようにして、消去、書き込み、読み出し動作を行うため、この 3 機能のうちどれか 1 つしか動作できない。しかし、余分な回路がないため、チップ面積が小さくなる。つまり、これは小容量のメモリ IC 向きである。

【0015】

【発明が解決しようとする課題】上述したような従来の不揮発性半導体記憶装置では、消去、書き込み、読み出し動作のうちどれか 1 つしか動作できず、良品／不良品を判別するテストに長時間を要するという問題点があった。

【0016】この発明は、前述した問題点を解決するためになされたもので、テスト時間を短縮できるとともに、システム全体のスピードを速くすることができる不揮発性半導体記憶装置を得ることを目的とする。

【0017】

【課題を解決するための手段】この発明の請求項 1 に係る不揮発性半導体記憶装置は、複数のメモリブロックに分けた電気的一括消去電氣的書き込みが可能な不揮発性半導体記憶装置において、消去と書き込みと読み出しのうち 2 機能以上を同時に、別々のメモリブロックにおいて実行する消去書き込み読み出し制御部を備えたものである。

【0018】この発明の請求項 2 に係る不揮発性半導体記憶装置は、前記消去書き込み読み出し制御部と前記メモリブロックを接続する信号線に挿入され、前記メモリブロックの動作状態を保持するラッチ回路をさらに備えたものである。

【0019】この発明の請求項 3 に係る不揮発性半導体記憶装置は、前記消去書き込み読み出し制御部と前記メモリブロックを接続する複数の信号線に挿入され、前記複数の信号線を選択するセレクト回路をさらに備えたものである。

【0020】

【作用】この発明の請求項 1 に係る不揮発性半導体記憶装置においては、複数のメモリブロックに分けた電気的一括消去電氣的書き込みが可能な不揮発性半導体記憶装置において、消去と書き込みと読み出しのうち 2 機能以上を同時に、別々のメモリブロックにおいて実行するので、製造側では、テスト時間の短縮が可能である。また、ユーザ側では、実装チップ数が少くても、ライト、イレース、リードの同時動作可能なシステムを容易に作

4

ることができ、同時動作可能なのでシステム全体のスピード (スループット) が向上する。

【0021】この発明の請求項 2 に係る不揮発性半導体記憶装置においては、消去と書き込みと読み出しのうち 2 機能以上を同時に、別々のメモリブロックにおいて実行できる。例えば、第 1 のメモリブロックで消去中、第 2 のメモリブロックで書き込み中に、第 3 のメモリブロックで読み出しを行うことができる。

【0022】この発明の請求項 3 に係る不揮発性半導体記憶装置においては、読み出しは、書き込み中、消去中以外の全てのメモリブロックでランダムな読み出しが可能であり、また、読み出しに、フォールトが原理的に発生しないため、周辺の回路が単純になるという特徴がある。

【0023】

【実施例】

実施例 1. 以下、この発明の一実施例の構成について図 1 を参照しながら説明する。図 1 は、この発明の実施例 1 の構成を示すブロック図である。以下、従来例と異なる箇所のみを説明する。各図中、同一符号は同一又は相当部分を示す。

【0024】図 1 において、7 b は消去制御部 7 がバス 9 (9 a ~ 9 h、9 i) を使う前に命令解析及びステータスデータ生成部 6 へ送るリクエスト信号、7 c は命令解析及びステータスデータ生成部 6 がリクエスト信号 7 b を受け、バス 9 (9 a ~ 9 h、9 i) の使用可を消去制御部 7 へ伝えるアクノリッジ信号である。また、8 b は書き込み制御部 8 がバス 9 (9 a ~ 9 h、9 j) を使う前に命令解析及びステータスデータ生成部 6 へ送るリクエスト信号、8 c は命令解析及びステータスデータ生成部 6 がリクエスト信号 8 b を受けバス 9 (9 a ~ 9 h、9 j) の使用可を書き込み制御部 8 へ伝えるアクノリッジ信号である。

【0025】また、図 1 において、11 a ~ 11 h はラッチ回路であり、バス 9 a ~ 9 h からのアドレス・データ・制御の信号を一時記憶し、メモリブロック 10 a ~ 10 h へ送り、一度ラッチしたデータは命令解析及びステータスデータ生成部 6 からの制御で変更しない限り変更されない。12 a ~ 12 h はラッチ回路 11 a ~ 11 h とメモリブロック 10 a ~ 10 h をつなぐバスである。

【0026】つぎに、この実施例 1 の動作について説明する。まず、読み出し動作について説明する。

【0027】制御信号 2 及びアドレス 4 からなる読み出し信号が外部から命令解析及びステータスデータ生成部 6 へ与えられると、命令解析及びステータスデータ生成部 6 は消去動作中または書き込み動作中のメモリブロックにあたるか確認する。動作中ならエラーのステータスを返し、非動作中なら、バス 9、ラッチ回路 11、バス 12、メモリブロック 10 と順に信号を送り、メモリブ

10

20

30

40

50

5

ロック中のメモリセルからデータを読み出す。

【0028】そして、メモリブロック10、バス12、ラッチ回路11、バス9、命令解析及びステータスデータ生成部6と順にデータを送り、読み出したデータを外部へ送り読み出しが完了する。なお、動作中のメモリブロックにあたるかの確認は、ラッチ回路11a~11hまで信号を送ったとき、動作中であることを示すビジー信号が命令解析及びステータスデータ生成部6へ帰ることにより行える。

【0029】次に、書き込み動作について説明する。

【0030】制御信号2、データ3、アドレス4からなる書き込み信号及び書き込みデータが外部から命令解析及びステータスデータ生成部6へ与えられると、命令解析及びステータスデータ生成部6は動作するメモリブロックが消去中（動作中）でないかを確認後、命令解析及びステータスデータ生成部6はバス9jを通じて書き込み制御部8へ動作開始信号を送る。

【0031】書き込み制御部8は、リクエスト信号8bにより命令解析及びステータスデータ生成部6へバス9の利用申請を出し、アクノリッジ信号8cとして利用許可が返ってくると、バス9、ラッチ回路11、バス12、メモリブロック10と順に信号を伝え、書き込み動作に入る。

【0032】書き込みは、一定時間メモリセルへ電圧を与え続ける必要があるのでラッチ回路11の働きにより、メモリブロック10をホールド状態にして、バス9の使用を一時停止して、リクエスト信号8bをオフにして、命令解析及びステータスデータ生成部6へバス9のあけ渡しを伝える。

【0033】書き込み制御部8は内部のタイマーにより時間を待ち、その後再びリクエスト信号8bをオンにして、アクノリッジ信号8cが帰るのを待つ。アクノリッジ信号8cでバス9の使用許可が返ってくると、ライトベリファイの動作をメモリセルに行わせるために、バス9、ラッチ回路11、バス12、メモリブロック10と順に信号を伝え、ライトを停止し、ライトベリファイの動作に入る。ベリファイ可（OK）の場合は、ステータス信号8aでライト完了を命令解析及びステータスデータ生成部6へ伝え、書き込み制御部8は動作を停止し、ライト完了となる。ベリファイ不可（NG）の場合は、再びメモリセルを書き込み状態にし、ライトベリファイを行う。この動作を規定回数実施し、不可（NG）の場合は、命令解析及びステータスデータ生成部6から外部へライトエラーのステータスを返す。

【0034】次に、消去動作について説明する。

【0035】基本的に前記書き込み動作と内容は同じであり、メモリセルへ与える電圧とその時間が異なるだけである（現量産品種は3桁長い。）。すなわち、制御信号2、データ3、アドレス4からなる消去信号及び消去データが外部から命令解析及びステータスデータ生成部

6

6へ与えられると、命令解析及びステータスデータ生成部6は動作するメモリブロックが書き込み中（動作中）でないかを確認後、命令解析及びステータスデータ生成部6はバス9iを通じて消去制御部7へ動作開始信号を送る。

【0036】消去制御部7は、リクエスト信号7bにより命令解析及びステータスデータ生成部6へバス9の利用申請を出し、アクノリッジ信号7cとして利用許可が返ってくると、バス9、ラッチ回路11、バス12、メモリブロック10と順に信号を伝え、消去動作に入る。

【0037】消去は、一定時間メモリセルへ電圧を与え続ける必要があるのでラッチ回路11の働きにより、メモリブロック10をホールド状態にして、バス9の使用を一時停止して、リクエスト信号7bをオフにして、命令解析及びステータスデータ生成部6へバス9のあけ渡しを伝える。

【0038】消去制御部7は内部のタイマーにより時間を待ち、その後再びリクエスト信号7bをオンにして、アクノリッジ信号7cが帰るのを待つ。アクノリッジ信号7cでバス9の使用許可が返ってくると、イレースベリファイの動作をメモリセルに行わせるために、バス9、ラッチ回路11、バス12、メモリブロック10と順に信号を伝え、イレースを停止し、イレースベリファイの動作に入る。ベリファイ可（OK）の場合は、ステータス信号7aでイレース完了を命令解析及びステータスデータ生成部6へ伝え、消去制御部7は動作を停止し、イレース完了となる。ベリファイ不可（NG）の場合は、再びメモリセルを消去状態にし、イレースベリファイを行う。この動作を規定回数実施し、不可（NG）の場合は、命令解析及びステータスデータ生成部6から外部へイレースエラーのステータスを返す。

【0039】このようにして、消去、書き込み、読み出し動作を行うため、例えばメモリブロック10aで消去中、メモリブロック10bで書き込み中に、メモリブロック10cで読み出しを行うことができる。もちろん連続的に読み出しを行っていると、リクエスト信号7b、アクノリッジ信号7cの割り込みが時々、間に入るため、部分的に、アクセスタイムが伸びることになる。これは一般に、メモリアクセスにウエイトが入る、ビジーが長い、アクノリッジを返すのが遅いということだけなので、システムの運用上問題はない。

【0040】この実施例1は、以下の効果を奏する。第1に製造側では、メモリICの良品／不良品を判別するテスト工程において書き込み、消去時間は長い時間を必要とするブロックライト及びブロックイレースを同時に行うとともに、他のライト済み、イレース済のブロックをテストすることによりテスト時間の短縮が可能である。第2にユーザ側では、大容量メモリICを使う場合、実装チップ数が少くても、ライト、イレース、リードの同時動作可能なシステムを容易に作ることができ

7

る。また、同時動作可能ならシステム全体のスピードが（スループットが）向上する。

【0041】実施例2. 以下、この発明の他の実施例の構成について図2を参照しながら説明する。図2は、この発明の実施例2の構成を示すブロック図である。以下、従来例と異なる箇所のみを説明する。各図中、同一符号は同一又は相当部分を示す。

【0042】図2において、14は消去制御部7からメモリブロック10a~10hへ送るアドレス・データ・制御信号を伝える消去用バス、15は書き込み制御部8からメモリブロック10a~10hへ送るアドレス・データ・制御信号を伝える書き込み用バスである。また、13a~13hは消去用バス14、書き込み用バス15及びバス9からの信号から1つを選択してメモリブロック10a~10hへ送るセクタ回路である。

【0043】つぎに、この実施例2の動作について説明する。基本的には前述した実施例1の動作と同じであるが、バスが消去用バス14、書き込み用バス15及びバス9と3系統あるため、消去制御部7及び書き込み制御部8がメモリブロック10a~10hに対して、長時間電圧を与える動作の開始制御及びベリファイ動作を行うときに、読み出し動作とは全く干渉しないということが特徴である。図2のようにバスが3本あると書き込みと消去の動作も干渉がない。

【0044】まず、読み出し動作について説明する。

【0045】制御信号2、アドレス4からなる読み出し信号が外部から命令解析及びステータスデータ生成部6へ与えられると、命令解析及びステータスデータ生成部6は消去動作中または書き込み動作中のメモリブロックにあたるか確認する。動作中ならエラーのステータスを返し、非動作中なら、バス9、セクタ回路13、バス12、メモリブロック10と順に信号を送り、メモリセルからデータを読み出す。そして、メモリブロック10、バス12、セクタ回路13、バス9、命令解析及びステータスデータ生成部6と順にデータを送り、データを外部へ送り読み出しが完了する。

【0046】動作中のメモリブロックにあたるかの確認は、セクタ回路13まで信号を送ったとき、別のバスにより動作中であることを示すビジー信号が命令解析及びステータスデータ生成部6へ帰ることにより行える。

【0047】次に、書き込み動作について説明する。

【0048】制御信号2、データ3、アドレス4からなる書き込み信号及び書き込みデータが外部から命令解析及びステータスデータ生成部6へ与えられると、命令解析及びステータスデータ生成部6は動作するメモリブロックが消去中（動作中）でないかを確認後（セクタ回路13からビジー信号が帰らず、レディ信号が帰ることを確認後）、命令解析及びステータスデータ生成部6はバス9jを通じて書き込み制御部8へ動作開始信号を送る。

8

【0049】書き込み制御部8はステータス信号8aをオンにする。書き込み制御部8は書き込み用バス15を使用してセクタ回路13、バス12、メモリブロック10と順に信号を伝え、書き込み動作に入る。一定時間メモリセルへ電圧を与えたあと、ベリファイを行い、可（OK）なら書き込み完了となり、書き込み制御部8はステータス信号8aをオフにして命令解析及びステータスデータ生成部6へ完了を伝える。

【0050】ベリファイ不可（NG）なら、再び書き込み動作に入る。これを規定回数まで実施し、不可（NG）の場合、命令解析及びステータスデータ生成部6からライトエラーのステータスが外部へ伝えられる。また、前記一定時間メモリセルへ電圧を与えるとあるがこのタイマーは書き込み制御部8内にあるものを使う。

【0051】この実施例2の特徴として、書き込み制御部8が書き込み開始から完了までの制御を全て行い、セクタ回路13とメモリブロック10を専有し、外部も全く干渉しないため、スピードがはやいということがあげられる。

【0052】次に、消去動作について説明する。

【0053】基本的に前記書き込み動作と内容は同じである。すなわち、制御信号2、データ3、アドレス4からなる消去信号及び消去データが外部から命令解析及びステータスデータ生成部6へ与えられると、命令解析及びステータスデータ生成部6は動作するメモリブロックが書き込み中（動作中）でないかを確認後（セクタ回路13からビジー信号が帰らず、レディ信号が帰ることを確認後）、命令解析及びステータスデータ生成部6はバス9iを通じて消去制御部7へ動作開始信号を送る。

【0054】消去制御部7はステータス信号7aをオンにする。消去制御部7は消去用バス14を使用してセクタ回路13、バス12、メモリブロック10と順に信号を伝え、消去動作に入る。一定時間メモリセルへ電圧を与えたあと、ベリファイを行い、可（OK）なら書き込み完了となり、消去制御部7はステータス信号7aをオフにして命令解析及びステータスデータ生成部6へ完了を伝える。

【0055】ベリファイ不可（NG）なら、再び消去動作に入る。これを規定回数まで実施し、不可（NG）の場合、命令解析及びステータスデータ生成部6からイレースエラーのステータスが外部へ伝えられる。

【0056】このようにして、消去、書き込み、読み出し動作を行うため、例えば書き込み制御部8、書き込み用バス15、15a、セクタ回路13a、バス12a、メモリブロック10aで消去中、消去制御部7、消去用バス14、14b、セクタ回路13b、バス12b、メモリブロック10bで書き込み中の状態で、命令解析及びステータスデータ生成部6、バス9、9c、セクタ回路13c、バス12c、メモリブロック10cで読み出し動作が可能である。

9

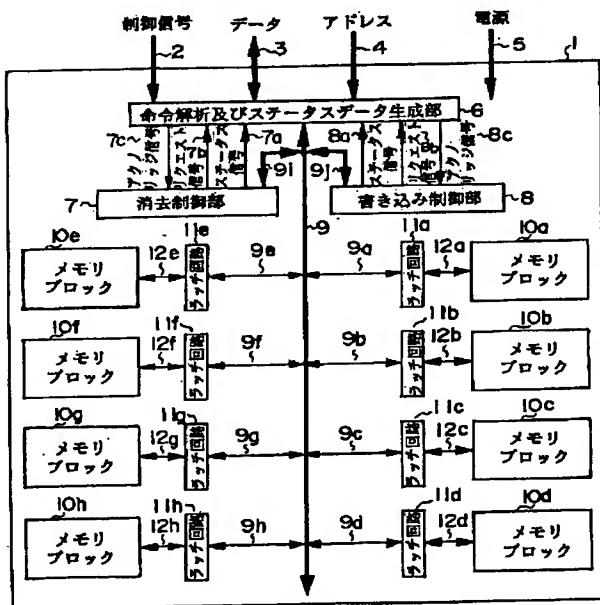
【0057】この実施例2の読み出しは、書き込み中、消去中以外の全てのメモリブロックでランダムに可能であり、また上記実施例1と異なる特徴として、読み出しに、フォールトが原理的に発生しないため、周辺の回路が単純になるという効果を奏する。

【0058】

【発明の効果】この発明の請求項1に係る不揮発性半導体記憶装置は、以上説明したとおり、複数のメモリブロックに分けた電気的一括消去電気の書き込みが可能で、不揮発性半導体記憶装置において、消去と書き込みと読み出しのうち2機能以上を同時に、別々のメモリブロックにおいて実行する消去書き込み読み出し制御部を備えたので、良品／不良品を判別するテスト時間を短縮することができるという効果を奏する。また、ライト、イレース、リードの同時動作可能なシステムを容易に作る事ができ、システム全体のスピード（スループット）を向上することができるという効果を奏する。

【0059】この発明の請求項2に係る不揮発性半導体記憶装置は、以上説明したとおり、前記消去書き込み読み出し制御部と前記メモリブロックを接続する信号線に挿入され、前記メモリブロックの動作状態を保持するラッチ回路をさらに備えたので、良品／不良品を判別するテスト時間を短縮することができるという効果を奏する。また、ライト、イレース、リードの同時動作可能な *

【図1】



10

*システムを容易に作る事ができ、システム全体のスピード（スループット）を向上することができるという効果を奏する。

【0060】この発明の請求項3に係る不揮発性半導体記憶装置は、以上説明したとおり、前記消去書き込み読み出し制御部と前記メモリブロックを接続する複数の信号線に挿入され、前記複数の信号線を選択するセレクト回路をさらに備えたので、上記請求項1及び2の効果以外に、読み出しにフォールトが原理的に発生しないため、周辺の回路を単純にすることができるという効果を奏する。

【図面の簡単な説明】

【図1】 この発明の実施例1の構成を示すブロック図である。

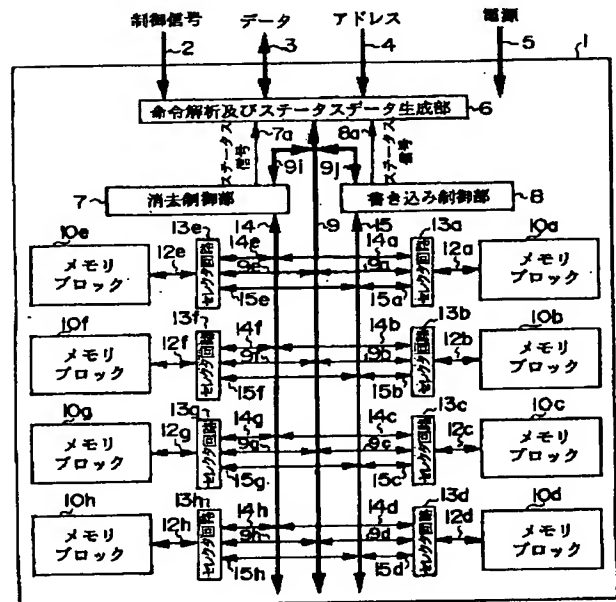
【図2】 この発明の実施例2の構成を示すブロック図である。

【図3】 従来の不揮発性半導体記憶装置の構成を示すブロック図である。

【符号の説明】

6 命令解析及びステータスデータ生成部、7 消去制御部、8 書き込み制御部、9 バス、10 メモリブロック、11 ラッチ回路、12 バス、13 セレクト回路、14 消去用バス、15 書き込み用バス。

【図2】



【図 3】

